

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-335493

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

H01L 27/06

(21)Application number : 04-136908

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.05.1992

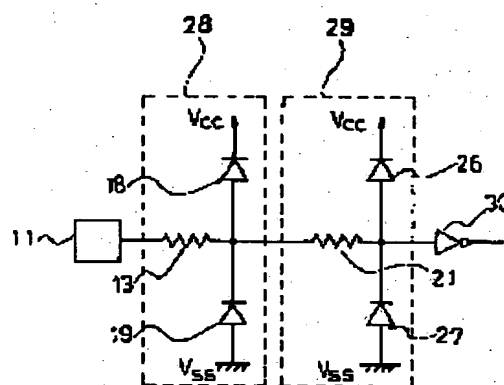
(72)Inventor : IJIMA HIROAKI

## (54) INPUT PROTECTIVE CIRCUIT

## (57)Abstract:

**PURPOSE:** To provide a highly reliable input protective circuit, which is provided with an input protective resistor formed of a high-melting point metal silicide film, reduces a pattern area concerned in the protective circuit and is capable of protecting sufficiently an internal circuit from an excessive input voltage, which is applied from the outside, while the protective circuit prevents the input protective resistor itself from being broken by the excessive input voltage.

**CONSTITUTION:** An input protective circuit 28, which is constituted by connecting an input protective resistor 13 with protective diodes 18 and 19, and an input protective circuit 29, which is constituted by connecting an input protective resistor 21 with protective diodes 26 and 27, are series-connected in two stages between an input terminal 11 and an internal circuit 30. The resistance value of the resistor 13, which is connected to the terminal 11, is made lower than that of the resistor 21 and the width of the resistor 13 is formed widely.



## LEGAL STATUS

[Date of request for examination] 25.06.1996

[Date of sending the examiner's decision of rejection] 22.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-335493

(43) 公開日 平成5年(1993)12月17日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/06		9170-4M	H 0 1 L 27/06	3 1 1 A
		9170-4M		3 1 1 B

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号 特願平4-136908

(22) 出願日 平成4年(1992)5月28日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 飯島 広明

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

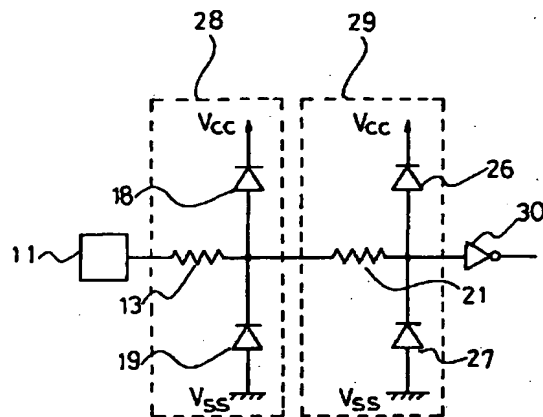
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 入力保護回路

(57) 【要約】

【目的】 高融点金属シリサイドで形成される入力保護抵抗を具備した入力保護回路において、係るパターン面積を小さく、且つ外部から印加される過大入力電圧に対し、入力保護抵抗自体の破壊を防止しつつ、内部回路を充分保護し得る信頼性の高い入力保護回路を提供する。

【構成】 入力保護抵抗(13)と、保護ダイオード(18)、(19)とを接続して成る入力保護回路(28)と、入力保護抵抗(21)と保護ダイオード(26)、(27)とを接続して成る入力保護回路(29)を入力端子(11)と内部回路(30)の間に直列に2段接続する。入力端子(11)に接続される前記入力保護抵抗(13)の抵抗値を、前記入力保護抵抗(21)の抵抗値よりも低減化し、且つその抵抗幅を広く形成する。



11 : 入力端子

13, 21 : 高融点金属シリサイドで形成される入力保護抵抗

18, 26 : P<sup>+</sup>N型保護ダイオード

19, 27 : N<sup>+</sup>P型保護ダイオード

28 : 前段の入力保護回路

29 : 後段の入力保護回路

30 : 内部回路

## 【特許請求の範囲】

【請求項1】 高融点金属シリサイドで形成される入力保護抵抗と保護用クランプ素子を接続してなる入力保護回路を入力端子と内部回路の間に直列に2段接続し、前段の入力保護抵抗を後段の入力保護抵抗よりも低抵抗とし、且つその抵抗幅を後段の入力保護抵抗の抵抗幅よりも広く形成したことを特徴とする入力保護回路。

【請求項2】 前記保護用クランプ素子が保護ダイオードであることを特徴とする請求項1記載の入力保護回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路における入力保護回路に関するものである。

## 【0002】

【従来の技術】 一般に、MOSトランジスタは、そのゲートに、過大入力電圧が印加されると破壊されてしまうため、各種の入力保護方法が提案されており、例えば、ポリシリコンゲートのMOS型集積回路においては、図3に示すような入力保護回路が設けられている。図4は、図3における破線内の部分のパターンレイアウト例を示す図である。図においてアルミニウム膜からなる入力端子(1)は、コンタクト(2)を介してポリシリコン抵抗(3)に接続され、このポリシリコン抵抗(3)は、コンタクト(4)を介してアルミニウム配線(5)に接続されている。そして、このアルミニウム配線(5)は、コンタクト(6)、(7)を介して、それぞれ、P<sup>+</sup>N型保護ダイオード(8)及び、N<sup>+</sup>P型保護ダイオード(9)に接続され、さらにこの配線(5)は、内部回路(10)に接続される。

【0003】 上述した従来例の構成において、入力端子(1)に過大入力電圧が印加されると、この電圧がポリシリコン抵抗(3)及びアルミニウム配線(5)を通して前記保護ダイオード(8)、(9)に達し、この保護ダイオード(8)及び(9)がオン状態となって、電源電位V<sub>cc</sub>及び、接地電位V<sub>ss</sub>に放電される。これにより、内部回路(10)を、過大入力電圧から保護する。

【0004】 ここで、ポリシリコン抵抗(3)は、放電に伴う電流を制限し、且つ高電圧が内部回路(10)のゲート入力に達する前に、ある程度その電圧を減衰させる役割を担っている。従って、上述した目的からその抵抗値を1~2K $\Omega$ 程度にすることが一般的に行われていた。また、ポリシリコン抵抗(3)は、外部から過大入力電圧が直接印加されるため、該抵抗自体の熔断あるいは電界集中等による破壊を引き起こすことがあった。このため、その抵抗幅Wを10 $\mu$ m程度に太く形成する必要もあった。しかし、ポリシリコン抵抗の場合には、そのシート抵抗値が30 $\Omega$ 程度であるので、例えば1.5K $\Omega$ の抵抗値を得るには、その抵抗幅Wを10 $\mu$ mとしても抵抗長Lは500 $\mu$ m程度で足りる。したがって、

パターン面積の上でもチップサイズにそれ程影響を与えずに小さく形成することができた。

【0005】 なお、ここで抵抗幅Wとは、図4におけるパターンレイアウトにおいて、記号Wで示されたパターン設計サイズを表し、抵抗長Lとは、同図における記号Lで示されるパターン設計サイズを言うものである。

## 【0006】

【発明が解決しようとする課題】 ところで、近年の半導体集積回路においては、信号の伝搬遅延を低減化し、その動作スピードの向上を目的として、ポリシリコンに代わり、これよりもシート抵抗値の低い高融点金属シリサイド(例えば、タングステンシリサイド：シート抵抗値3 $\Omega$ 程度)が使用される傾向にある。

【0007】 しかしながら、高融点金属シリサイドで前記入力保護抵抗を形成すると、抵抗幅Wを従来と同等値を維持しつつ且つ同等の抵抗値を確保するには、抵抗長Lが、従来の10倍程度になってしまう。このため、入力保護抵抗の占めるパターン面積が増大するという問題があった。一方、パターン面積の増大を抑えるため前記抵抗幅Wを狭くした場合には、外部から印加される過大入力電圧によって前記入力保護抵抗自体が破壊されるという問題がある。

【0008】 本発明は、上述した問題点に鑑みて為されたものであり、入力保護抵抗を高融点金属シリサイドで形成した入力保護回路において、パターン面積が小さく、且つ入力保護抵抗自体の破壊を防止しつつ、内部回路を十分に保護する入力保護回路を提供することを目的としている。

## 【0009】

【課題を解決するための手段】 本発明は、高融点金属シリサイドで形成される入力保護抵抗(13)と、前記入力保護抵抗(13)と電源電位V<sub>cc</sub>、接地電位V<sub>ss</sub>間に接続された保護用クランプ素子としての保護ダイオード(18)、(19)とから構成される前段の入力保護回路(28)と、高融点金属シリサイドで形成される入力保護抵抗(21)と、前記入力保護抵抗(21)と電源電位V<sub>cc</sub>、接地電位V<sub>ss</sub>間に接続された保護用クランプ素子としての保護ダイオード(26)、(27)とから構成される後段の入力保護回路(29)とを、入力端子(11)と内部回路(30)との間に直列に接続し、前段の入力保護抵抗(13)を後段の入力保護抵抗(21)より低抵抗にし、且つ前段の入力保護抵抗(13)の抵抗幅W<sub>1</sub>を後段の入力保護抵抗(21)の抵抗幅W<sub>2</sub>より広く形成したことを特徴としている。

## 【0010】

【作用】 上述の手段によれば、入力端子(11)に直接接続される前段の入力保護抵抗(13)は比較的低い抵抗値なので、その抵抗幅W<sub>1</sub>を広く形成しても抵抗長L<sub>1</sub>は小さくて済む。また、後段の入力保護抵抗(21)は、前段の入力保護回路(13)によって、入力端子

3

(11)に印加される過大入力電圧はある程度減衰されているので破壊のおそれがない。したがって、その抵抗幅W2を狭く形成できるので抵抗長L2の大幅な増大を招くことなく、高い抵抗値が実現できる。

【0011】これにより、入力保護回路に係るパターン面積の増大を抑制することができると共に、入力保護抵抗自体の破壊を防止しつつ内部回路を十分保護することが可能となる。

【0012】

【実施例】次に本発明の実施例を図面を参照して説明する。図1は、本発明の実施例による入力保護回路に係る等価回路図である。図2は、図1におけるパターンレイアウト例を示すものである。なお図において、図1及び図2と同一符号を付した部分は、同一の構成部分である。

【0013】まず図1及び、図2を参照しながら本発明の入力保護回路の構成を説明する。アルミニウム膜からなる入力端子(11)は、コンタクト(12)を介して、高融点金属シリサイドで形成された前段の入力保護抵抗(13)に接続され、この抵抗(13)は、コンタクト(14)を介してアルミニウム配線(15)に接続される。そして、このアルミニウム配線(15)は、コンタクト(16)、(17)を介して入力端子(11)の両脇に配置された保護用クランプ素子としての保護ダイオード(18)、(19)にそれぞれ接続され、前段の入力保護回路(28)が構成されている。

【0014】さらに、前記アルミニウム配線(15)は、コンタクト(20)を介して、高融点金属シリサイドで形成された後段の入力保護抵抗(21)に接続され、この抵抗(21)はコンタクト(22)を介して、アルミニウム配線(23)に接続される。そして、このアルミニウム配線(23)は、コンタクト(24)、(25)を介して、入力端子(11)の両脇に配置された保護用クランプ素子としての保護ダイオード(26)、(27)にそれぞれ接続されて、後段の入力保護回路(29)が構成されている。さらに、前記アルミニウム配線(23)は、内部回路(30)に接続されている。

【0015】なお、上述の構成において保護用クランプ素子として、保護ダイオードを用いているが、過大入力電圧を減衰した電圧にクランプする素子であれば、これに限らず他の素子であっても構わない。例えば、MOSトランジスタのソースドレイン間のブレークダウンを用いたクランプ素子でもよい。上記構成に基づく本発明の特徴とする点は以下の点にある。

①従来の入力保護回路を前段、後段の入力保護回路(28)、(29)の2段構成とし、且つ直列に接続したことである。

②前段の入力保護抵抗(13)を後段の入力保護抵抗(21)よりも低抵抗に形成し、且つ抵抗幅W1を、抵

4

抗幅W2より広く形成したことである。

【0016】具体的には、本実施例において、前記抵抗値と抵抗幅はそれぞれ $R1=200\Omega$ 、 $R2=1.0K\Omega$ 、 $W1=10\mu m$ 、 $W2=4\mu m$ としている。ここで、入力保護抵抗(13)については、入力端子(11)の周辺を取り囲む形で形成し、入力保護抵抗(21)については、つづら折りの形状とすることで、入力端子(11)周辺の空き領域の有効利用を図っている。

【0017】次に上述した入力保護回路の動作は以下の如くである。即ち、入力端子(11)に印加された過大入力電圧は、まず、前段の入力保護回路(28)の入力保護抵抗(13)によって、前記入力保護抵抗(13)に接続された前段の保護ダイオード(18)、(19)の接合破壊を防止する程度に、その電圧および電流を制限すると共に、前記入力保護抵抗(13)に接続された前記保護ダイオード(18)、(19)による放電作用により、前段の入力保護回路(28)によって、後段の入力保護抵抗(21)が破壊に至らない程度に減衰される。

【0018】その後さらに、抵抗値の高い後段の入力保護抵抗(21)と、保護ダイオード(26)、(27)よりなる後段の入力保護回路(29)によって、内部回路(30)を保護するのに十分低い電圧レベルまで減衰される。ここで、前段の入力保護抵抗(13)の抵抗幅W1は、 $10\mu m$ と広く形成しているので、過大入力電圧が直接印加されても破壊するおそれはない。

【0019】したがって、上述した入力保護回路によれば、パターン面積が小さく、且つ静電破壊強度を向上することが可能となる。さらに、本発明の入力保護回路は、静電破壊試験の一方方法である人体帯電モデルをシミュレートしたMIL規格(容量=100PF、抵抗値=1.5K $\Omega$ の放電モデル)において、前記モードの試験耐圧を大幅に向上できるという利点も有している。これは、前段の入力保護抵抗(13)の抵抗値を低くした結果、入力端子(11)に印加される試験電圧が、試験抵抗と前記入力保護抵抗(13)の抵抗分割で決まる電圧まで実質的に下げられるためである。

【0020】

【発明の効果】本発明の入力保護回路によれば、高融点金属シリサイドで入力保護抵抗を形成した場合でも、パターン面積が小さく、且つ入力保護抵抗(13)自体の破壊を防止した、信頼性の高い入力保護回路が実現できる。また、前段の入力保護抵抗(13)の抵抗値を低くしているので、MIL規格における静電耐圧の大幅な向上が実現できる利点も有している。

【図面の簡単な説明】

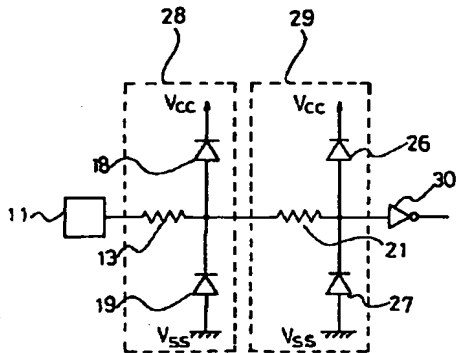
【図1】本発明の実施例に係る入力保護回路の等価回路図である。

【図2】図1における入力保護回路のパターンレイアウトの例を示す図である。

5

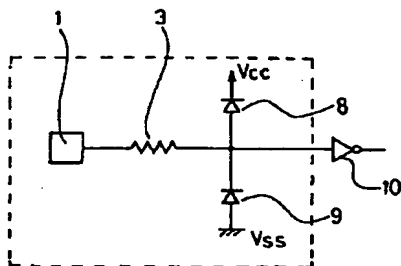
【図3】従来例の入力保護回路を示す等価回路図である。

【図1】



- 11 : 入力端子  
13, 21 : 高融点金属シサイドで形成される入力保護抵抗  
18, 26 : P<sup>+</sup>N型保護ダイオード  
19, 27 : N<sup>+</sup>P型保護ダイオード  
28 : 前段の入力保護回路  
29 : 後段の入力保護回路  
30 : 内部回路

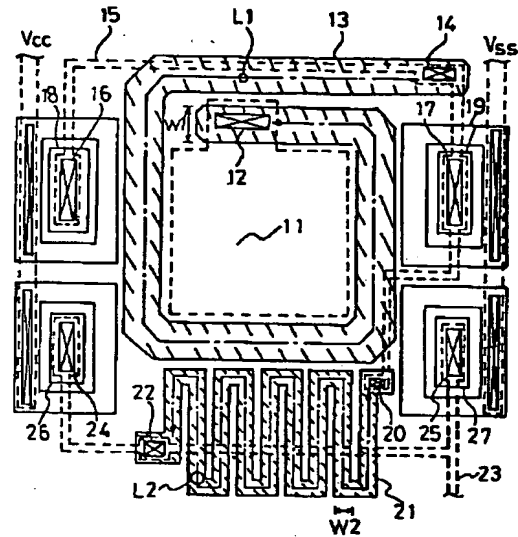
【図3】



6

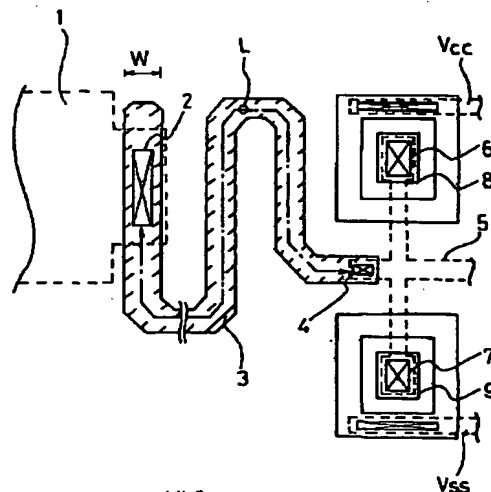
【図4】図3における破線内の部分のパターンレイアウトの例を示す図である。

【図2】



- 11 : 入力端子  
12, 14, 16, 17, 20, 22, 24, 25 : コンタクト  
13, 21 : 高融点金属シサイドで形成された入力保護抵抗  
15, 23 : アルミニウム配線  
18, 26 : P<sup>+</sup>N型ダイオード  
19, 27 : N<sup>+</sup>P型ダイオード  
L1, L2 : 抵抗長  
W1, W2 : 抵抗幅

【図4】



- 1 : 入力端子  
2, 4, 6, 7 : コンタクト  
3 : ポリシリコン抵抗  
8 : P<sup>+</sup>N型保護ダイオード  
9 : N<sup>+</sup>P型保護ダイオード  
10 : 内部回路

**Family list**

**1** family member for:

**JP5335493**

Derived from 1 application.

[Back to JI](#)

**1 No English title available**

Publication info: **JP5335493 A** - 1993-12-17

---

Data supplied from the esp@cenet database - Worldwide